

(11)Publication number : 2000-236271
(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

H04B - 1/04

(21)Application number : 11-036198

(71)Applicant : NEC SAITAMA LTD

(22)Date of filing : 15.02.1999

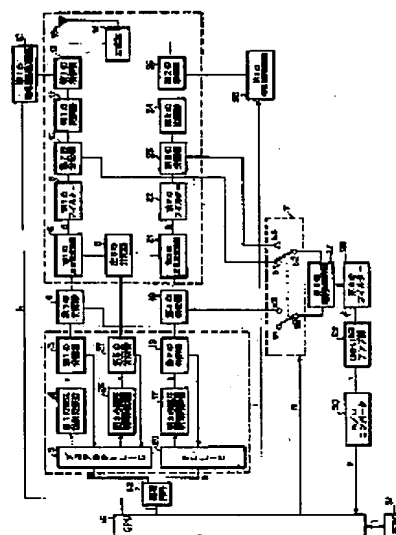
(72)Inventor : KAWASHIMA ETSUO

(54) MULTI-CARRIER TRANSMITTER

(57)Abstract:

PROBLEM TO BE SOLVED: To judge an unlock place of a PLL and to suppress the damage to system operation to a minimum by converting and filtering the oscillation frequency outputted by a voltage-controlled oscillator, when the PLL is unlocked.

SOLUTION: Intermediate frequency components are extracted from a transmit signal and inputted to a band-pass filter 28. The output of the band-pass filter 28 is inputted to a logarithmic amplifier 29, whose output is inputted to an A/D converter 30. Furthermore, this multi-carrier transmitter is provided with a ROM 31 stored with a table, wherein the power values of intermediate frequency signal are made to correspond to digital codes. A CPU 16 stops the transmission of all modulated signals when at least one step-out signal is generated, finds the power value of the intermediate frequency signal from the output of the A/D converter 30 by referring to the ROM 31, and selects the PLL according to the power value, thereby restarting the transmission.



LEGAL STATUS

[Date of request for examination] 15.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3001567

[Date of registration] 12.11.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-236271
(P2000-236271A)

(43)公開日 平成12年8月29日(2000.8.29)

(5)Int.Cl. H04B 1/04	識別記号 FI H04B 1/04	フィードバック(参考) N 5K060 Z
-------------------------	-------------------------	-----------------------------

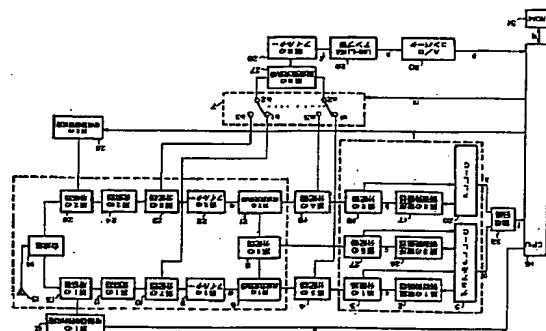
審査請求 有 請求項の数 2 O L (全 9 頁)

(21)出願番号 特願平11-36198	(71)出願人 390010179 埼玉日本電気株式会社 埼玉県児玉郡神川町大字元原字豊原300番 18
(22)出願日 平成11年2月15日(1999.2.15)	(72)発明者 川島 悦男 埼玉県児玉郡神川町大字元原字豊原300番 18 埼玉日本電気株式会社内 (74)代理人 100065385 井理士 山下 敏平 Fターム(参考) 5K060 CC04 CC16 HH11 HH14 HH25 HH31 HH32 LL05 LL30

(54)【発明の名称】 マルチキャリア送信機

(57)【要約】

【課題】 PLLのアンロック発生時において電圧制御発振器から出力される発振周波数を周波数変換、フィルタリングすることで、PLLのアンロック箇所を判断し、システム運用の被害を最小限に抑える。
【解決手段】 送信信号から中間周波数成分を抽出し、帯域通過フィルタ28に入力する。更に、帯域通過フィルタ28の出力を対数増幅器29に入力し、対数増幅器29の出力をA/Dコンバータ30に入力する。
又、本発明のマルチキャリア送信機は、中間周波数信号の電力値をデジタル符号に対応させる変換部31を備えている。CPU16は、同期はずれ信号が少なくとも一つ発生した時には、すべての変調信号の送信を停止し、ROM31を参照して、A/Dコンバータ30の出力から前記中間周波数信号の電力値を見出し、前記電力値に基づいて、前記PLLを再探索し、送信を再開する。



Best Available Copy

THIS PAGE BLANK (USPTO)

[illegible]

54) 【発明の名称】 マルチキャリア送信機

57)【特許請求の範囲】

請求項1 i 期 (i は2以上の自然数) の位相同期ループ (PLL) のそれぞれが環搬するPLL周波数 F_c を中間周波数 F_c により、 $(F_i + F_c)$ の変調信号として同時に送信するマルチキャリア送信機であって、配列PLLからの同期は、ずれ信号を入力する論理和回路

配PLL周波数信号と前記変調信号とを入力して、前記中間周波数信号を抽出する周波数滤波器と、前記中間周波数信号の出力を入力する帯域通過フィルターであって、中間周波数が前記中間周波数に等しく、帯域幅が前記中間周波数の出力に等しい帯域通過フィルターと、前記中間周波数フィルターの出力を比較物像帰還する比較物像帰還回路と、前記比較物像帰還回路の出力をアナログ・デジタル変換する

A/Dコンバータと、
前記中間周波数信号の電力値をデジタル符号に対応さ
せる表を格納した読み出し専用メモリ (ROM) と、
前記理論値と回路の出力及び前記A/Dコンバータの出力
を入力する制御装置 (CPU) とを備え、

前記CPUは、同期はずれ信号が少なくとも一つ発生した時には、すべての変調信号の送信を停止し、前記ROMを参照して、前記A/Dコンバータの出力から前記中周波数変換信号の電力値を見出し、前記電力値に基づいて前記PLLを選択して送信を再開することを特徴とするマルチキャリア送信機。

【請求項2】 1個(1は2以上の自然数)の位相同期グループ(PLL)のそれぞれが発振するPLL周波数F_iを中間周波数F_cにより、(F_i + F_c)の変調信号として同時に送信するマルチキャリア送信機であって、

前記PLLからの同期はずれ信号を入力する論理回路と、
前記PLLのそれぞれが発生する制御電圧を所定値と比較するコンパレータと、

前記コンパレータ出力及び前記論理和回路出力を入力する制御装置 (CPU) とを備え、前記 CPU は、同期はずれ信号が少なくとも一つ発生した時には、すべての変調信号の送信を停止し、前記コンパレータ出力に基づいて前記 PLL を選択して送信を再開することを特徴とするマルチキャリア送信機。

【発明の詳細な説明】

[100]

【発明の属する技術分野】 マルチキャリア送信機に関

 $[0002]$

【従来の技術】従来、マルチキャリア送信機は、図6に示すように、第1、第2および第3の電圧制御発振器2、17、26、省スペース、省電力を実現する第1のPLLIC5、第1のPLLIC20を含んでいる。

【0003】デュアルPLLIC5、20は、2つの一方のPLLループがアンロック時に、アンロック信号g、h (Hi-Low) を出力する。また、論理回路32は、デュアルPLLIC5、20とCPU16との32ビットフェーズの簡素化のため配置され、2つのアンロック信号g、hを入力し図4に示すように、論理演算を行い、アンロック信号g (Hi-Low) をCPU16に出力する。

【0004】第1および第2の電圧制御変換器2、17から出力される高周波信号a、bは、第1および第2の周波数変換器6、21において、第3の電圧制御変換器22から出力される高周波信号cによって高周波信号d、eへ周波数変換される。

【0005】高周波番号d、eは第1および第2のピ
ンレター9、22によって、フィルタリングされ、第1
および第2の変調器11、12でデータ変調され、第1
および第2の増幅器13、26で電力増幅され、合成器
4にて合成され、アンテナ15から出力される。

[0006]

[illegible]

a 2, b 3-b 2を選択する。第3の周波数変換器27は、運動スイッチ7の接続された端子a 3-a 2 (第4の分配器19からの500MHzの高周波信号;-10dBm)と、接続された端子b 3-b 2 (700MHzの高周波信号は第1のフィルタにより40dBm以下に減衰され)を周波数変換し、200MHzを生成し、第3のフィルタ28を通して。

[0044] 従って、LOG-LINEARアンプ29は、第3のフィルタから出力される高周波信号fの電力値が (-40 dBm以下) 、高周波信号fの電力値に対応した検波電圧nは0[V]を出力し、A/Dコンバータ30は、検波電圧nの0[V]を検波データ00hへ変換する。

[0045] CPU16は、ROM31からのデジタルデータqと検波データpを比較演算し、高周波信号e側が運用不可ということが判断でき、第2の制御信号1(Low)を保持し、第2の増幅器制御回路25を介して第2の増幅器25の電源供給を停止したままとし、[0046] 以上、本発明の形態形態について説明したが、本発明はこれに限らず、図5に示すように、更に回路を簡略化することもできる。

[0047] 図5に示すように、第1および第2のPLL IC5、20から第1、第2および第3の電圧制御器2、17、26および第3のコンパレータ33、34、35で比較し、第1、第2および第3の電圧制御器2、17、26が検出すべき周波数を超える制御電圧になった場合、CPU16へ第1、第2および第3のアラーム信号r、s、tを出力する。

[0048]

[発明の効果] 以上説明した本発明によれば、第一の効果は、単独のアナログ信号にもかわらず、複数のPLLのアナログの識別が可能となる。その理由は、周波数変換の前および後の周波数を周波数変換して、更にフィルタリングし、電力レベルを検出しているためである。

[0049] 第二の効果は、マルチキャリア送信機の冗長性を確保できる。その理由は、キャリア単位のPLLの異常を識別でき、システム運用の可否を判断できるためである。

[図面の簡単な説明]

[図1] 本発明のマルチキャリア送信機のブロック図

[図2] 本発明のマルチキャリア送信機のブロック図

[図3] 本発明のマルチキャリア送信機のブロック図

[図4] 本発明のマルチキャリア送信機のブロック図

[図5] 本発明の他のマルチキャリア送信機のブロック図

[図6] 従来のマルチキャリア送信機のブロック図

[符号の説明]

- 2, 17, 26 電圧制御器
- 3 第1の分配器
- 4, 10, 19, 23 分配器
- 5, 20 デュアルPLL-IC
- 6, 21 周波数変換器
- 9, 22 フィルタ
- 11, 12 変調器
- 13, 26 増幅器
- 14 合成器
- 15 アンテナ
- 16 CPU
- 27 周波数変換機
- 28 フィルタ
- 29 LOG-LINEARアンプ
- 30 A/Dコンバータ
- 31 ROM
- 32 検出回路
- 33, 34, 35 コンパレータ

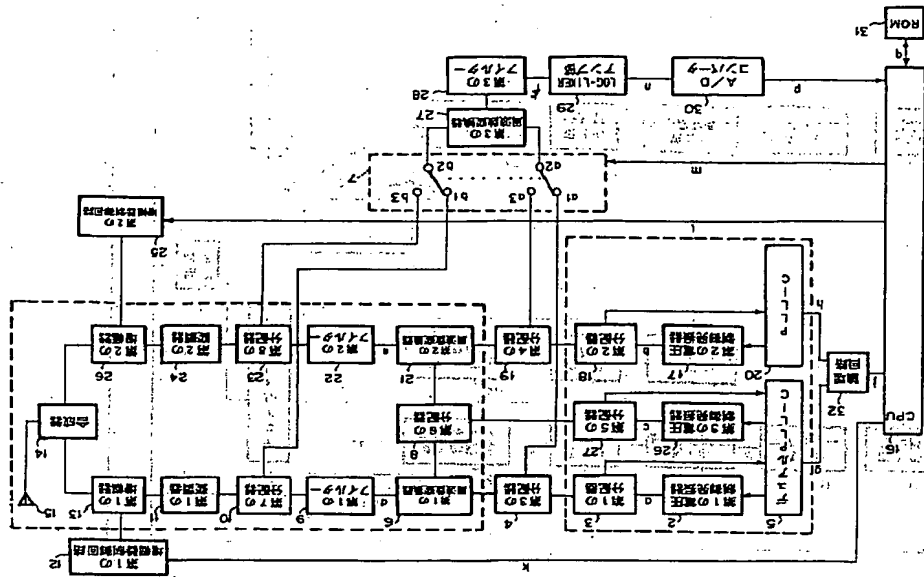
[要約]

[課題] PLLのアナログ発生時において電圧制御器から出力される高周波信号を周波数変換、フィルタリングすることで、PLLのアナログ箇所を判断し、システム運用の改善を最小限に抑える。

[解決手段] 送信信号から中間周波数成分を抽出し、帯域通過フィルタ28に入力する。更に、帯域通過フィルタ28の出力を対数増幅器29に入力し、対数増幅器29の出力をA/Dコンバータ30に入力する。

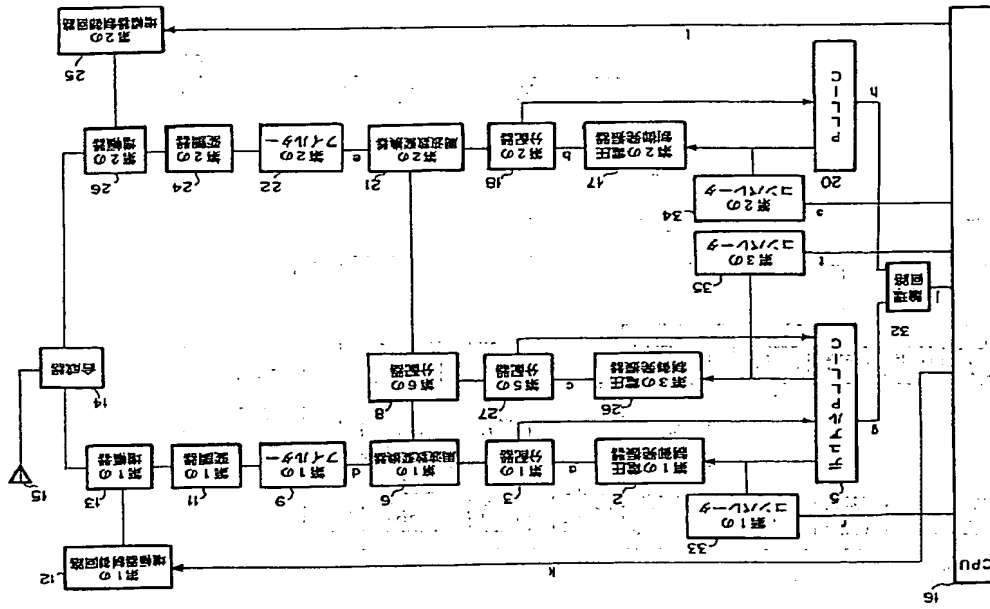
又、本発明のマルチキャリア送信機は、中間周波数信号の電力値をデジタル信号に対応させる表を格納したROM31を備えている。CPU16は、同期はずれ信号が少なくとも一つ発生した時には、すべての波束信号の送信を停止し、ROM31を参照して、A/Dコンバータ30の出力から前記中間周波数信号の電力値を見出し、前記電力値に基づいて、前記PLLを選択し、送信を再開する。

[図1]



Best Available Copy

【図5】



【図4】

入力		出力	
アドレス番号	アドレス番号	アドレス番号	アドレス番号
Low	Low	Low	Low
Low	Hi	Low	Low
Hi	Low	Low	Low
Hi	Hi	Hi	Hi

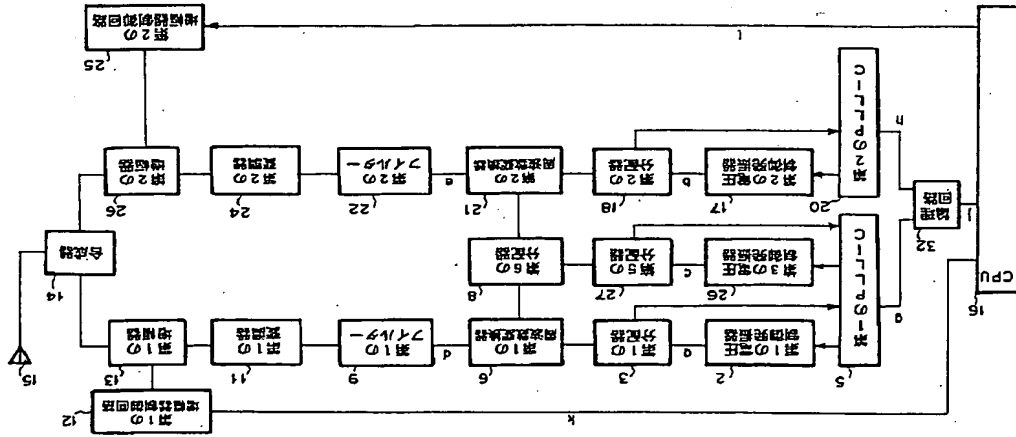
【図3】

電力値 (W)	検出電圧 (V)
0	4
-10	3
-20	2
-30	1

【図2】

検出電圧 (V)	検出データ
0	00H
1	0AH
2	14H
3	1EH
4	28H

【図6】



フロントページの続き

(58) 調査した分野 (Int. Cl.⁷, DB名)

H04B 1/04

H04J 1/00

Best Available Copy

THIS PAGE BLANK (USPTO)